

N/181

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (JP)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11)【公開番号】 特開平 9-15560	(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 9-15560
(43)【公開日】 平成9年(1997)1月17日	(43)[DATE OF FIRST PUBLICATION] January 17, Heisei 9 (1997. 1.17)
(54)【発明の名称】 液晶表示装置及び液晶表示素子の駆動方法	(54)[TITLE OF THE INVENTION] A liquid crystal display and the actuation method of a liquid crystal display element
(51)【国際特許分類第6版】 G02F 1/133 550 G09G 3/36	(51)[IPC INT. CL. 6] G02F 1/133 550 G09G 3/36
【FI】 G02F 1/133 550 G09G 3/36	【FI】 G02F 1/133 550 G09G 3/36
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 4	[NUMBER OF CLAIMS] 4
【出願形態】 FD	[FORM OF APPLICATION] Electronic
【全頁数】 7	[NUMBER OF PAGES] 7

(21)【出願番号】
特願平 7-182290

(21)[APPLICATION NUMBER]
Japanese Patent Application Heisei 7-182290

(22)【出願日】
平成7年(1995)6月27日

(22)[DATE OF FILING]
June 27, Heisei 7 (1995. 6.27)

(71)【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】
000001443

[ID CODE]
000001443

【氏名又は名称】
カシオ計算機株式会社

[NAME OR APPELLATION]
Casio Computer Co., Ltd.

【住所又は居所】
東京都新宿区西新宿2丁目6番1
号

[ADDRESS OR DOMICILE]

(72)【発明者】

(72)[INVENTOR]

【氏名】
佐藤 宗一

[NAME OR APPELLATION]
Sato Soichi

【住所又は居所】
東京都八王子市石川町2951番
地の5 カシオ計算機株式会社
八王子研究所内

[ADDRESS OR DOMICILE]

(57)【要約】

(57)[ABSTRACT OF THE DISCLOSURE]

【目的】

[PURPOSE]

消費電力が小さく、高品質の画
像を表示できる液晶表示装置を
提供することである。

Power consumption is small and is providing
the liquid crystal display which can display a
high quality image.

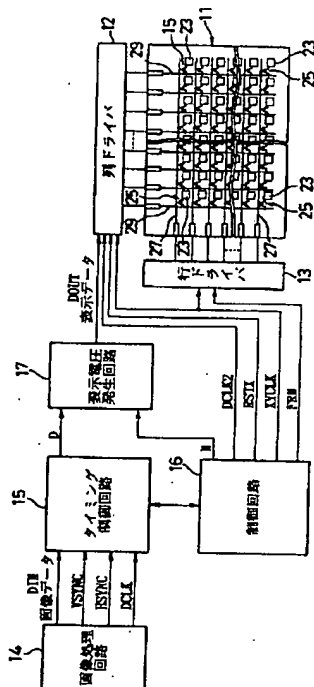
[CONSTITUTION]

制御回路16は複数走査期間毎にレベルが反転する極性反転制御信号Mを出力する。表示電圧発生回路17は極性反転制御信号Mと内部画像データに従って複数走査期間毎にデータライン29に印加する駆動電圧の極性を反転する。制御回路16は、極性反転直後の駆動電圧による画素の充電を確実にを行うため、極性反転直後の駆動電圧を印加するタイミングでは、その画素の選択期間、即ち、水平走査期間を他より長く設定する。

A control circuit 16 outputs the polarity-reversals control signal M which a level reverses for every two or more scanning period.

The display voltage generator circuit 17 reverses the polarity of the driving voltage which it impresses to the data line 29 for every two or more scanning period according to the polarity-reversals control signal M and internal image data.

In order that a control circuit 16 may ensure charging of the pixel by the driving voltage directly after polarity reversals, at the timing which impresses the driving voltage directly after polarity reversals, it sets up longer than others, the selection period, i.e., the horizontal-scanning period, of the pixel.



12 Row driver

13 Line driver

DOUT display data

14 Picture-processing circuit

DIM image data

15 Timing control circuit

16 Control circuit

17 Display voltage generator circuit

【特許請求の範囲】

[CLAIMS]

【請求項1】

スイッチング素子と該スイッチング素子の電流路の一端に接続された画素電極とがマトリクス状に形成された一方の基板と、前記画素電極に対向する対向電極が形成された他方の基板と、前記一方の基板と前記他方の基板との間に配置された液晶と、前記スイッチング素子の制御端に接続された走査ラインと、前記スイッチング素子の電流路の他端に接続されたデータラインと、を備える液晶表示素子と、
前記データラインに接続され、前記データラインに順次映像信号に対応する電圧を複数の走査期間毎に極性を反転して印加するデータラインドライバと、
前記走査ラインに接続され、前記走査ラインに順次パルス電圧を印加して、各走査ラインに接続され

[CLAIM 1]

A liquid crystal display element equipped with a first side substrate where the switching element and the pixel electrode connected to the end of the electric-current path of this switching element were formed in the form of matrix, a substrate of another side in which the counter electrode which opposes said pixel electrode was formed, a liquid crystal arranged between the substrate of said 1 side, and the substrate of said other side, a scanning line connected to the control end of said switching element and the data line connected to the other end of the electric-current path of said switching element;

And

The data line driver which is connected to said data line, reverses a polarity on said data line and impresses the voltage corresponding to a sequential video signal to it in each of two or more scanning periods; And

Scanning line driver which connects with said scanning line and impresses a sequential pulse

たスイッチング素子を第1の期間オンし、前記データラインドライバが反転された極性の電圧を出力するタイミングでは、前記第1の期間よりも長い第2の期間オンする走査ラインドライバと、より形成されることを特徴とする液晶表示装置。

voltage to said scanning line, and carries out a 1st period switching of the switching element connected to each scanning line, and which, at the timing which outputs the polar voltage by which said data line driver was reversed, carries out a 2nd period switching longer than said 1st period;

It is formed from the above-mentioned.

The liquid crystal display characterized by the above-mentioned.

【請求項2】

前記データラインドライバは表示フレーム毎に印加電圧の極性を反転する位置を変更する手段を備えることを特徴とする請求項1に記載の液晶表示装置。

[CLAIM 2]

A liquid crystal display of Claim 1, in which said data line driver is equipped with means to alter the position which reverses the polarity of an applied voltage for every display frame.

【請求項3】

前記液晶表示素子は、反射型複屈折制御方式のカラー液晶表示素子から構成されることを特徴とする請求項1又は2に記載の液晶表示装置。

[CLAIM 3]

A liquid crystal display of Claim 1 or 2, in which said liquid crystal display element comprises color-liquid-crystal display elements of a reflection-type double-refraction control system.

【請求項4】

映像データに対応する駆動電圧を所定周期で極性を変更しながらアクティブマトリクス型液晶表示素子に印加する液晶表示素子の駆動方法において、前記駆動電圧を複数の走査線毎に極性を変更しながら印加し、駆動電圧の極性を反転した直後の水平走査期間を他の水平走査期間よりも長く設定することを特徴と

[CLAIM 4]

A actuation method of the liquid crystal display element, in which in the actuation method of the liquid crystal display element which impresses the driving voltage corresponding to image data to an active-matrix type liquid crystal display element while altering a polarity a prescribed period, it impresses said driving voltage, altering a polarity for two or more scanning lines of every, it sets up longer than another horizontal-scanning period the

する液晶表示素子の駆動方法。

horizontal-scanning period immediately after reversing the polarity of driving voltage.

【発明の詳細な説明】

[DETAILED DESCRIPTION OF THE INVENTION]

【0001】

[0001]

【産業上の利用分野】

[INDUSTRIAL APPLICATION]

この発明は、液晶表示装置と液晶表示素子の駆動方法に関し、特に、所定期間毎に駆動電圧の極性を反転するアクティブマトリクス方式の液晶表示装置及びアクティブマトリクス方式の液晶表示素子の駆動方法に関する。

This invention relates to the actuation method of a liquid crystal display and a liquid crystal display element.

Specifically, it is related with the actuation method of the liquid crystal display element of the liquid crystal display of the active-matrix system which reverses the polarity of driving voltage for every prescribed period, and an active-matrix system.

【0002】

[0002]

【従来の技術】

[PRIOR ART]

アクティブマトリクス方式の液晶表示素子を駆動する場合、液晶材料の劣化を防ぐために、液晶に交流電圧が印加されるように極性を反転する。従来のTFT液晶表示素子の駆動では、1水平走査期間毎、ドット毎、或いは、フレーム毎に駆動電圧の極性を反転している。

When actuating the liquid crystal display element of an active-matrix system, in order to prevent degradation of liquid-crystal material, it reverses a polarity so that an alternating voltage may be impressed to a liquid crystal.

In actuation of the TFT-liquid-crystal display element of the past, it has reversed the polarity of driving voltage for every 1 horizontal-scanning period, every dot, and every frame.

【0003】

[0003]

**【発明が解決しようとする課題】**

液晶表示装置の消費電力の多くはこの駆動電圧の極性反転時に消費される。このため、水平走査期間毎に極性を反転する方法やドット毎に極性を反転する方法では、消費電力が大きくなるという問題がある。また、フレーム毎に極性を反転する方法では、1フレームの間同一極性の電圧が画素容量に保持されるため、TFTの漏れ電流により、各画素の表示階調が乱れる、いわゆる尾引きが発生し、表示画像の品質が低下する。

[PROBLEM TO BE SOLVED BY THE INVENTION]

Many of power consumption of a liquid crystal display is consumed at the time of the polarity reversals of this driving voltage.

For this reason, there is a problem that power consumption becomes bigger, by the method of reversing a polarity for every horizontal-scanning period, or the method of reversing a polarity for every dot.

Moreover, by the method of reversing a polarity for every frame, since the same polar voltage is maintained for one frame at a pixel capacitor, the so-called tailing in which the display gradation of each pixel is confused occurs according to the leakage current of TFT, the quality of a display image deteriorates.

【0004】

この発明は上記実状に鑑みてなされたもので、消費電力の小さい液晶表示装置及び液晶表示素子の駆動方法を提供することを目的とする。また、この発明は、高品質の画像を表示できる液晶表示装置及び液晶表示素子の駆動方法を提供することを他の目的とする。

[0004]

This invention was made in view of the above-mentioned actual condition, and it aims it at providing the actuation method of the small liquid crystal display of power consumption, and a liquid crystal display element.

Moreover, this invention sets it as the other objective to provide the actuation method of the liquid crystal display and liquid crystal display element which can display a high quality image.

【0005】**【課題を解決するための手段】**

上記目的を達成するため、この発明にかかる液晶表示装置は、スイッチング素子と該スイッチング素子の電流路の一端に接続された

[0005]**[MEANS TO SOLVE THE PROBLEM]**

As for the liquid crystal display which it applies to this invention in order to attain the above-mentioned objective:

A liquid crystal display element equipped with

画素電極とがマトリクス状に形成された一方の基板と、前記画素電極に対向する対向電極が形成された他方の基板と、前記一方の基板と前記他方の基板との間に配置された液晶と、前記スイッチング素子の制御端に接続された走査ラインと、前記スイッチング素子の電流路の他端に接続されたデータラインと、を備える液晶表示素子と、前記データラインに接続され、前記データラインに順次映像信号に対応する電圧を複数の走査期間毎に極性を反転して印加するデータラインドライバと、前記走査ラインに接続され、前記走査ラインに順次パルス電圧を印加して、各走査ラインに接続されたスイッチング素子を第1の期間オンし、前記データラインドライバが反転された極性の電圧を出力するタイミングでは、前記第1の期間よりも長い第2の期間オンする走査ラインドライバと、より形成されることを特徴とする。

one substrate by which the pixel electrode connected to the end of the electric-current path of a switching element and this switching element was formed in the form of matrix, substrate of another side in which the counter electrode which it opposes in said pixel electrode was formed, liquid crystal arranged between the substrate of said 1 side, and the substrate of said other side, and the scanning line connected to the control end of said switching element, and the data line connected to the other end of the electric-current path of said switching element; And

The data line driver which is connected to said data line, reverses a polarity on said data line and impresses the voltage corresponding to a sequential video signal to it for two or more of each scanning periods; And

The scanning line driver longer than said 1st period at the timing which outputs 1st voltage of the polarity which carries out period switching, and by which said data line driver was reversed for the switching element which was connected to said scanning line, impressed the sequential pulse voltage to said scanning line, and was connected to each scanning line which 2nd period switches on;

It is characterized by forming from the above-mentioned.

【0006】

また、この発明にかかる液晶表示素子の駆動方法は、映像データに対応する駆動電圧を所定周期で極性を変更しながらアクティブマトリクス型液晶表示素子に印加

[0006]

Moreover, it sets the actuation method of the liquid crystal display element concerning this invention to the actuation method of the active-matrix liquid crystal display element which impresses the driving voltage

するアクティブマトリクス液晶表示素子の駆動方法において、前記駆動電圧を複数の走査線毎に極性を変更しながら印加し、駆動電圧の極性を反転した直後の水平走査期間を他の水平走査期間よりも長く設定することを特徴とする。

corresponding to image data to an active-matrix type liquid crystal display element while altering a polarity a prescribed period, it impresses said driving voltage, altering a polarity for each of two or more scanning lines;

It is characterized by setting up longer than another horizontal-scanning period the horizontal-scanning period immediately after reversing the polarity of driving voltage.

【0007】

【0007】

【作用】

上記構成の液晶表示装置においては、駆動電圧の極性を複数走査期間、例えば、3走査期間毎に反転する。従って、走査ライン毎或いはドット毎に駆動電圧の極性を反転する場合に比して消費電力を小さくすることができる。また、データライン上の画素に異なった極性の電圧が保持されることになり、フレーム毎に極性を反転する場合と異なり、表示画像の乱れ、即ち、尾引きが発生しない。

【OPERATION】

In the liquid crystal display of the above-mentioned composition, it reverses the polarity of driving voltage for every two or more scanning period, for example, 3 scanning period.

Therefore, as compared with the case where the polarity of driving voltage is reversed for every scanning line and every dot, it can make power consumption small.

Moreover, a polar voltage which is different in the pixel on a data line will be maintained, it differs from the case where a polarity is reversed for every frame, it does not occur, disorder, i.e., tailing, of a display image.

【0008】

ある極性の駆動電圧が印加されていたデータラインに逆極性の駆動電圧を印加する場合、データライン等を逆極性に充電するための時間が必要となる。この時間を確保しないと、極性を反転した後の駆動電圧が印加された画素と極

【0008】

When impressing reversed polarity driving voltage to the data line to which a certain polar driving voltage was impressed, the time for charging a data line etc. reversed polarity is needed.

If this time is not secured, display gradations will differ by the pixel to which the driving voltage

*precharging
train or
data line*

性を反転していない駆動電圧が印加された画素とでは表示階調が異なってしまう。この発明では、極性が反転された駆動電圧を印加するタイミングでは、スイッチング素子のオン時間、即ち、選択期間を長くしている。従って、駆動電圧の極性を反転した場合でも、各データライン及び各画素を確実に充電し、所望の表示階調を得ることができる。

[0009]

表示フレーム毎に印加電圧の極性を変更する位置を変更するようにすれば、特定の画素に特定の極性の電圧のみが印加される事態を防止できる。

[0010]

また、上記構成の駆動方法を用いて液晶表示素子を駆動することにより、上記特徴を有する液晶表示装置が得られる。

[0011]**【実施例】**

以下、この発明の一実施例にかかる液晶表示装置を図面を参照して説明する。図1に示すように、この実施例の液晶表示装置は、液晶表示パネル(液晶表示素子) 11と、列ドライバ12と、行ドライバ13と、画像処理回路14と、タイミ

after reversing a polarity was impressed, and the pixel to which the driving voltage which has not reversed the polarity was impressed.

At the timing which impresses the driving voltage by which the polarity was reversed in this invention, it lengthens the switching time of a switching element, i.e., a selection period.

Therefore, even when the polarity of driving voltage is reversed, it charges each data line and each pixel reliably, it can obtain a desired display gradation.

[0009]

If the position which alters the polarity of an applied voltage for every display frame is altered, it can prevent the situation where only a specific polar voltage is impressed to a specific pixel.

[0010]

Moreover, the liquid crystal display which has the above-mentioned characteristics is obtained by actuating a liquid crystal display element using the actuation method of the above-mentioned composition.

[0011]**[EXAMPLES]**

Hereafter, with reference to drawing, it demonstrates the liquid crystal display concerning one Example of this invention.

As shown in FIG. 1, the liquid crystal display of this Example comprises a liquid crystal display panel (liquid crystal display element) 11, the row driver 12, the line driver 13, the

ング制御回路15と、制御回路16と、表示電圧発生回路17と、から構成される。

picture-processing circuit 14, a timing control circuit 15, a control circuit 16, and a display voltage generator circuit 17.

[0012]

液晶表示パネル11は、画素電極23と画素電極23にソースが接続されたTFT(薄膜トランジスタ)25と、ゲートライン(走査ライン)27と、データライン(色信号ライン)29とが形成された一方の基板と、画素電極23に対向する対向電極が形成された他方の基板と、両基板間に配置された液晶と、から構成される。液晶表示パネル11としては、背面に反射板を備え、カラーフィルタを用いずに印加電圧に応じた色を表示する複屈折制御方式のカラーTFT液晶表示素子が最適である。

[0012]

Liquid crystal display panel 11 comprises TFT (thin-film transistor) 25 by which the source was connected to the pixel electrode 23 and the pixel electrode 23, gate line (scanning line) 27, one substrate in which the data line (chrominance-signal line) 29 was formed, substrate of another side in which the counter electrode which opposes the pixel electrode 23 was formed, and the liquid crystal arranged between both substrates.

The color TFT-liquid-crystal display element of the double-refraction control system which displays the color according to an applied voltage without equipping the back with a reflecting plate and using a color filter as a liquid crystal display panel 11 is the optimal.

[0013]

画像処理回路14は、例えば、パーソナルコンピュータのCRTドライバから構成され、画像データDINと、垂直同期信号VSYNC、水平同期信号HSYNCと、ドットクロック信号DCLK等の各種信号をそれぞれ独自のタイミングで出力する。

[0013]

The picture-processing circuit 14 comprises CRT drivers of a personal computer, it outputs image data DIN, and the vertical-synchronization signal VSYNC and horizontal synchronizing signal HSYNC and the various signals of dot clock signal DCLK etc. at the respectively original timing.

[0014]

タイミング制御回路15は、画像データDINと、垂直同期信号VSYNC、水平同期信号HSYNCと、

[0014]

The timing control circuit 15 outputs the internal display data D at the timing for liquid-crystal-display-panel 11 in response to

ドットクロック信号DCLKを受け、液晶表示パネル11用のタイミングで内部表示データDを出力する。

image data DIN, and the vertical-synchronization signal VSYNC and horizontal synchronizing signal HSYNC and the dot clock signal DCLK.

[0015]

制御回路16は、タイミング制御回路15からのタイミング制御信号を受け、極性反転制御信号M、パネルドットクロックDCLK2、シフトクロックXYCLK、パネル水平同期信号RSTX、パネル垂直同期信号FRMを出力する。

[0015]

A control circuit 16 receives the timing control signal from the timing control circuit 15, and outputs the polarity-reversals control signal M, the panel dot clock DCLK2, the shift clock XYCLK, the panel horizontal synchronizing signal RSTX, and the panel vertical-synchronization signal FRM.

[0016]

パネルドットクロックDCLK2は液晶表示パネル11固有のドットクロック信号であり、1水平走査期間中に液晶表示パネル11の行方向に配列されたドットのそれぞれに対応するパルスを発生する。この実施例では、液晶表示パネル11の水平走査期間を固有の期間としている。一方、フレーム周波数は画像データDINのフレーム周波数と等しく設定されている(異なっても良い)。これに伴い、パネルドットクロックDCLK2は画像処理回路14から供給されるドットクロックDCLKとは異なった周波数となっている。

[0016]

The panel dot clock DCLK2 is a dot clock signal inherent in a liquid crystal display panel 11.

It generates the pulse corresponding to each of the dot arranged by the line-direction of a liquid crystal display panel 11 in 1 horizontal-scanning period.

In this Example, it is making the horizontal-scanning period of a liquid crystal display panel 11 into the inherent period.

On the other hand, the frame frequency is set up equally to the frame frequency of image data DIN (they may differ).

In connection with this, the panel dot clock DCLK2 constitutes a different frequency from the dot clock DCLK supplied from the picture-processing circuit 14.

[0017]

シフトクロックXYCLKは、そのパルス間隔により各走査ラインの実質的な走査期間を決定する信号

[0017]

The shift clock XYCLK is a signal which decides the essential scanning period of each scanning line with the pulse interval.

defines scan period

であり、図2に示すように、通常の
パルス間隔はT1であり、3パルス
毎にパルス間隔はT1より長いT2
となる。T1とT2との比は1対1.1
～1.4程度が望ましい。極性反
転制御信号Mは、図2に示すよう
に、3走査期間毎にレベルが反転
する信号である。

[0018]

パネル水平同期信号RSTXは列
ドライバ12の動作タイミングを制
御する信号であり、パネル垂直同
期信号FRMは行ドライバ13の動
作タイミングを制御する信号であ
る。

[0019]

表示電圧発生回路17は、極性反
転制御信号Mに従って、駆動電
圧の極性が3フレーム毎に反転す
る表示データDOUTを出力す
る。表示データDOUTは列ドライ
バ12に供給される。列ドライバ12
は、パネルドットクロックDCLK2
に従って表示データDOUTを順
次取り込み、シフトクロックXYCL
Kの立ち上がり同期して先の走
査期間に取り込んだ表示データ
DOUTを対応する駆動電圧に変
換して、データライン29に印加す
る。

[0020]

行ドライバ13は、表示フレームの

As shown in FIG. 2, the usual pulse interval is T1.

A pulse interval is set to T2, longer than T1, every three pulses.

As for the ratio of T1 and T2, 1 to 1.1 to about 1.4 are desirable.

As shown in FIG. 2, the polarity-reversals control signal M is a signal which a level reverses for every 3 scanning period.

[0018]

The panel horizontal synchronizing signal RSTX is a signal which controls the operation timing of the row driver 12.

The panel vertical-synchronization signal FRM is a signal which controls the operation timing of the line driver 13.

[0019]

The display voltage generator circuit 17 outputs the display data DOUT which the polarity of driving voltage reverses every three frames according to the polarity-reversals control signal M.

The display data DOUT are supplied to the row driver 12.

The row driver 12 converts into corresponding driving voltage the display data DOUT which received the display data DOUT into the previous scanning period synchronizing with the standup of the sequential capture and shift clock XYCLK according to the panel dot clock DCLK2, it is impressed by the data line 29.

[0020]

The line driver 13 is initialized synchronizing

開始時点を示すパネル垂直同期信号FRMに同期して初期化され、シフトクロックXYCLKの立ち下がりに対応して、ゲートライン27を順次選択してゲートパルスをオンし、シフトクロックXYCLKの立ち上がりに対応してゲートパルスをオフする。なお、シフトクロックXYCLKは、列ドライバ12に、行ドライバ13よりも若干遅延して供給される。

with the panel vertical-synchronization signal FRM which shows the start time of a display frame, in response to fall of the shift clock XYCLK, it makes the sequential choice of the gate line 27, and switches on a gate pulse, it turns off a gate pulse in response to the standup of the shift clock XYCLK.

In addition, the shift clock XYCLK is delayed for the line driver 13 to the row driver 12 a little, and is supplied to it.

output
enable

[0021]

ゲートパルスが印加されたゲートライン27に接続されたTFT25はオンし、オンしたTFT25に接続されている画素電極23にデータライン29の電圧が印加される。シフトクロックXYCLKが遅延して列ドライバ12に供給されているため、データライン29上の駆動信号が切り替わる直前にゲートパルスがオフし、TFT25もオフし、画素電極23と対向電極とその間の液晶により形成される画素容量に、それまで印加されていた駆動電圧が保持される。

[0021]

TFT25 connected to the gate line 27 to which the gate pulse was impressed switches on, the voltage of the data line 29 is impressed to the pixel electrode 23 connected to switched-on TFT25.

Since the shift clock XYCLK is delayed and the row driver 12 is supplied, just before the driving signal on the data line 29 switches, a gate pulse turns off, it also turns off TFT25, the driving voltage currently impressed to the pixel capacitor formed of the pixel electrode 23, a counter electrode, and the liquid crystal between them till then is maintained.

delayed

[0022]

このような構成によれば、3水平走査期間毎に極性反転制御信号Mが印加電圧の極性の反転を指示する。この極性反転制御信号Mに応じて、表示電圧発生回路17は、表示データDOUTの極性を反転する。

[0022]

According to such composition, the polarity-reversals control signal M commands polar reversal of an applied voltage for every 3 horizontal-scanning period.

According to this polarity-reversals control signal M, the display voltage generator circuit 17 reverses the polarity of the display data

DOUT.

【0023】

そして、極性が反転された表示データDOUTは列ドライバ12に保持され、次の走査期間に、駆動電圧に変換されて、データライン29に印加される。極性が反転された表示データDOUTは1走査期間遅れてデータライン29に印加されるため、この表示データDOUTがデータライン29に印加されたときに、図2に示すパルス間隔T2が対応し、シフトクロックXYCLKのパルス間隔が長くなる。即ち、走査期間が通常の期間T1よりも長いT2となる。このため、各画素容量を確実に充電することができる。従って、同極性での書き込み効率と異極性での書き込み効率との差が減少し、書き込み効率の差による輝度の変化が低減する。従って、比較的低い周波数で駆動した場合でも、フリッカが目立たなくなる。

【0024】

このような構成によれば、3水平走査期間毎に駆動信号の極性を反転しているため、画素毎或いは水平走査期間毎に駆動信号の極性を反転する場合に比較して、消費電力が小さくて済む。従って、この実施例の装置は低消費電力が要

【0023】

And the display data DOUT with which the polarity was reversed are maintained at the row driver 12, it converts into the following scanning period at driving voltage, it is impressed by the data line 29.

Since the display data DOUT with which the polarity was reversed are delayed during the 1 scanning and are impressed to the data line 29, when this display data DOUT is impressed to the data line 29, the pulse interval T2 shown in FIG. 2 corresponds, the pulse interval of the shift clock XYCLK gets long. *

That is, a scanning period is set to T2 longer than the usual period T1.

For this reason, it can charge each pixel capacitor certainly.

Therefore, the difference of the write-in effectiveness in like-pole property and the write-in effectiveness in heteropolarity reduces, change of the brightness by the difference of write-in effectiveness declines.

Even when it actuates on a comparative low frequency, a flicker stops therefore, being conspicuous.

【0024】

According to such composition, it has reversed the polarity of a driving signal for every 3 horizontal-scanning period, therefore, compared with the case where the polarity of a driving signal is reversed for every pixel and every horizontal-scanning period, power consumption may be small.

delayed

shorter how!

brightness

求される携帯端末などに好適である。また、フレーム毎の極性反転と異なり、画質の劣化もない。従って、液晶表示パネル11として、背面に反射板を備え、カラーフィルタを用いずに印加電圧に応じた色を表示する複屈折制御方式の反射型カラーTFT液晶表示パネルを使用すれば、高画質化も実現され、最適である。

Therefore, the apparatus of this Example is suitable for the mobile terminal with which low power consumption is demanded.

Moreover, it differs from the polarity reversals for every frame, there is also no degradation of image quality.

Therefore, if the reflection-type color TFT-liquid-crystal display panel of the double-refraction control system which displays the color according to an applied voltage without equipping the back with a reflecting plate and using a color filter as a liquid crystal display panel 11 is used, high-resolution is also implemented and it is the optimal.

[0025]

次に、列ドライバ12、行ドライバ13、制御回路16、表示電圧発生回路17の具体的な構成例を図3～図6を参照して説明する。列ドライバ12は図3に示すように、パネル水平同期信号RSTXにより初期化され、パネルドットクロックDCLK2に応じて表示データDOUTをシフトして取り込むシフトレジスタ12AとシフトクロックXYCLKの立ち上がりに応答して、シフトレジスタ12Aの出力データを駆動電圧に変換して出力するドライバ12Bとより構成される。

[0025]

Next, with reference to FIGS. 3-6, it demonstrates the detailed example of composition of the row driver 12, the line driver 13, a control circuit 16, and the display voltage generator circuit 17.

As shown in FIG. 3, the row driver 12 is initialized by the panel horizontal synchronizing signal RSTX, in response to the standup of shift-register 12A which shifts and receives the display data DOUT according to the panel dot clock DCLK2, and the shift clock XYCLK, it comprises driver 12B which converts and outputs the output data of shift-register 12A to driving voltage.

[0026]

行ドライバ13は、図4に示すように、シフトクロックXYCLKの立ち下がりデータでデータを1ビットシフトして出力し、シフトクロックXYCLKの

[0026]

As shown in FIG. 4, by fall of the shift clock XYCLK, the line driver 13 carries out 1 bit shift of the data, and outputs them, it comprises shift registers which turn off an output pulse in the



立ち上がりで出力パルスをオフするシフトレジスタから構成される。standup of the shift clock XYCLK.

[0027]

制御回路16は、図5に示すように、マルチプレクサ31と、Xカウンタ32と、デコーダ33と、Yカウンタ34と、Dフリップフロップ35と、フレームカウンタ36と、Mカウンタ37と、トグルフリップフロップ38とを備える。

[0027]

As shown in FIG. 5, a control circuit 16 is equipped with multiplexer 31, X counter 32, decoder 33, Y counter 34, D flip flop 35, the frame counter 36, M counter 37, and a toggle flip flop 38.

[0028]

マルチプレクサ31は後述するキャリー信号Mcarry に従って予め定められた値n1とn2の一方を選択して出力する。値n1とn2の比は1対1. 1～1. 4程度が望ましい。

[0028]

Multiplexer 31 chooses and outputs one side of the values n1 and n2 predetermined according to the carry signal Mcarry which it mentions later.

As for the ratio of values n1 and n2, 1 to 1.1 to about 1.4 are desirable.

[0029]

図6(B)、(C)に示すように、Xカウンタ32はパネル水平同期信号RSTXに応答してマルチプレクサ31の出力値n1又はn2を取り込んで、制御回路16から供給されるパネルドットクロックDCLK2に従ってカウントダウンし、カウント値Xを出力する。デコーダ33は、図6(A)～(C)に示すように、Xカウンタ32のカウント値が0になるとパネル水平同期信号RSTXを出力し、カウント値が0より大きい所定値になるとシフトクロックXYCLKを出力する。

[0029]

As shown in FIG.6(B) and (C), X counters 32 receive the output value n1 of multiplexer 31, or n2 in response to the panel horizontal synchronizing signal RSTX, and count it down according to the panel dot clock DCLK2 supplied from a control circuit 16, it outputs the count value X.

Decoder 33 will output the panel horizontal synchronizing signal RSTX, if the count value of X counters 32 is set to 0 as shown in FIG.6(A)-(C), if it becomes a prescribed value with a larger count value than 0, it will output the shift clock XYCLK.

[0030]

Yカウンタ34は走査線数L1をカウントするカウンタであり、シフトクロックXYCLKのパルス数をカウントし、カウント値がL1に達すると、図6(D)に示すキャリー信号Ycarry を出力する。値L1は1フレーム当たりの走査線数に等しい。Dフリップフロップ35はシフトクロックXYCLKに同期してYカウンタ34のキャリー信号Ycarry をラッチし、図6(E)に示すパネル垂直同期信号FLMとして出力する。

[0031]

フレームカウンタ36はL2進のカウンタであり、図6(F)に示すように、パネル垂直同期信号FLMの数、即ち、フレーム数をカウントする。L2は、特に限定されないが、例えば、L1(走査線数)と等しい値に設定される。Mカウンタ37は3進カウンタであり、図6(G)に示すように、パネル垂直同期信号FLMによりフレームカウンタ36のカウント値を初期値として取り込み、以後シフトクロックXYCLKに応じてカウント値をカウントアップする。

[0032]

図6(H)に示すMカウンタ37のキャリー信号Mcarry はトグルフリップフロップ38のクロック入力端とマルチプレクサ31の選択信号入

[0030]

The Y counter 34 is a counter which counts L1 scanning line.

It counts the pulse number of the shift clock XYCLK, if a count value amounts to L1, it will output the carry signal Ycarry shown in FIG. 6 (D).

A value L1 is equal to the number of scanning lines per frame.

The D flip flop 35 latches the carry signal Ycarry of the Y counter 34 synchronizing with the shift clock XYCLK, it outputs as a panel vertical-synchronization signal FLM shown in FIG. 6 (E).

[0031]

The frame counter 36 is a counter of L binary.

It is the number of the panel vertical-synchronization signals FLM as shown in FIG. 6 (F), that is, it counts the number of frames.

Although particularly L2 is not limited, it is set as a value equal to L1 (the number of scanning lines), for example.

The M counter 37 is a ternary counter.

As shown in FIG. 6 (G), it receives the count value of the frame counter 36 as an initial value with the panel vertical-synchronization signal FLM, and counts up a count value according to the shift clock XYCLK henceforth.

[0032]

The carry signal Mcarry of the M counter 37 shown in FIG. 6 (H) is supplied to the clock input port of a toggle flip flop 38, and the selecting-signal input port S of multiplexer 31.

力端Sとに供給される。マルチプレクサ31は、キャリー信号Mcarryが出力されている時、値n2を取り込み、キャリー信号Mcarryがオフすると、取り込んだ値を出力する。このため、図6(C)に示すように、次の走査期間に、Xカウンタ32の初期値がn2となり、その走査期間は他より長くなる。また、トグルフリップフロップ38の出力が、図6(K)に示す極性反転制御信号Mとなる。

[0033]

表示電圧発生回路17は、例えば、内部画像データDと極性反転制御信号Mのレベルに応じて適当な表示データを選択して出力するルックアップテーブルから構成される。極性反転制御信号Mと画像データDに従って、図6(I)に示すように、第1、第2、第3.....走査ライン用の表示データDOUTを順次出力する。この時、極性反転制御信号Mがハイレベルであれば正極性の駆動電圧に対応する表示データDOUTを出力し、極性反転制御信号Mがローレベルであれば負極性の駆動電圧に対応する表示データDOUTを出力する。このため、図6(I)と(K)に示すように、極性反転制御信号Mがローレベルの、第4、第5走査期間では、表示データDOUTの出力は負極性に対応する値となる。これらの表

If multiplexer 31 receives a value n2 and the carry signal Mcarry turns it off when the carry signal Mcarry is outputted, it will output the received value.

For this reason, the initial value of X counters 32 is set to n2 as shown in FIG.6(C) at the following scanning period, it gets long the scanning period from others.

Moreover, the output of a toggle flip flop 38 constitutes the polarity-reversals control signal M shown in FIG. 6 (K).

[0033]

The display voltage generator circuit 17 comprises look-up tables which choose and output suitable display data according to the level of for example, internal image data D and the polarity-reversals control signal M.

It follows the polarity-reversals control signal M and image data D, 1st, 2nd, 3rd as shown in FIG. 6 (I)..... It carries out the sequential output of the display data DOUT for scanning lines.

At this point, if the polarity-reversals control signal M is high-level, it will output the display data DOUT corresponding to positive polarity driving voltage, if the polarity-reversals control signal M is a low level, it will output the display data DOUT corresponding to negative polarity driving voltage.

For this reason, the polarity-reversals control signal M is at 4th and the 5th scanning period of a low level so that it may be indicated to (K) as FIG. 6 (I), the output of the display data DOUT constitutes a value which corresponds negative polarity.

示データDOUTは列ドライバ12に供給され、図6(J)に示すように、次の水平走査期間にデータライン29に印加される。

【0034】

図3～図5の構成によれば、Mカウンタ37がフレームカウンタ36のカウンタ値を初期値として取り込み、取り込んだ初期値を基準としてカウンタ動作を行う。フレームカウンタ36のカウンタ値はフレーム毎に更新される。従って、フレーム毎にMカウンタ37の初期値が変化し、Mカウンタ37がキャリー信号Mcarryを出力するタイミングもフレーム毎に変化する。従って、フレーム毎に駆動電圧の極性が反転する位置(走査線)が変化する。このため、特定の走査線に特定の極性の電圧が印加される事態が防止される。

【0035】

上記実施例においては、画像処理回路(例えば、コンピュータ本体内のCRTコントローラ)14が指示する動作タイミングをタイミング制御回路15で液晶表示パネル固有の動作タイミングに変換した。しかし、例えば、画像処理回路14内に、図5と同様の構成の回路を配置し、期間の異なる水平同期信号を出力させれば、タイミング制御回路15は不要となり、表

These display data DOUT are supplied to the row driver 12, it is impressed by the following horizontal-scanning period as shown in FIG. 6 (J) at the data line 29.

[0034]

According to the composition of FIGS. 3-5, the M counter 37 receives the count value of the frame counter 36 as an initial value, and performs count action on the basis of the received initial value.

The count value of the frame counter 36 is updated for every frame.

Therefore, the initial value of the M counter 37 varies for every frame, the timing when the M counter 37 outputs the carry signal Mcarry also varies for every frame.

Therefore, the position (scanning line) which the polarity of driving voltage reverses for every frame varies.

For this reason, the situation where a specific polar voltage is impressed to a specific scanning line is prevented.

[0035]

In the above-mentioned Example, it converted the operation timing which the picture-processing circuit (for example, CRT controller in the main body of a computer) 14 commands in the timing control circuit 15 at operation timing inherent in a liquid crystal display panel.

However, for example, it arranges the circuit of the composition similar to FIG. 5 in the picture-processing circuit 14, if the horizontal synchronizing signal from which a period differs



示装置の構成が容易となり、小型化が可能となる。

is made to output, timing control-circuit 15 will become unnecessary and the composition of a display device will become easy, reduction in size becomes possible.

【0036】

なお、この発明は上記実施例に限定されず、種々の変形が可能である。例えば、上記実施例では、駆動電圧の極性を反転する周期を3走査期間としたが、2又は4以上の任意の走査期間とすることができ。ただし、全走査線数の $1/4$ 以下とすることが望ましい。また、上述と同様に、所定走査期間毎にその期間を延長し、且つ、表示データDOUTの極性を反転できるならば、他の構成を採用してもよい。例えば、図5に示す構成をDSP(デジタルシグナルプロセッサ)で構成してもよい。

【0036】

In addition, this invention is not limited to the above-mentioned Example, but can perform various deformation.

For example, in the above-mentioned Example, it made into 3 scanning period the period which reverses the polarity of driving voltage.

However, it can consider it as 2 or 4 or more scanning periods as desired.

However, it is desirable that below $1/4$ of the total number of scanning lines carries out.

Moreover, it extends the period for every prescribed scanning period like the above-mentioned, and if the polarity of the display data DOUT can be reversed, it may adopt other composition.

For example, the composition shown in FIG. 5 may consist of DSP (digital signal processor).

【0037】

また、上記実施例では、表示データDOUTを列ドライバ12に取り込み、ドライバが表示データに対応する駆動電圧をデータライン29に印加した。しかし、例えば、表示電圧発生回路17が画像データに対応する電圧を出力し、列ドライバ12がこの電圧をサンプリングして、データライン29に印加するようにしてもよい。

【0037】

Moreover, in the above-mentioned Example, it received the display data DOUT into the row driver 12, and the driver impressed the driving voltage corresponding to display data to the data line 29.

However, for example, the display voltage generator circuit 17 outputs the voltage corresponding to image data, the row driver 12 samples this voltage, it may make it impressed by the data line 29.

**【0038】**

上記実施例では、アクティブマトリクス液晶表示素子として、TFT液晶表示素子を採用したが、この発明はMIM等をアクティブ素子とする液晶表示素子にも同様に適用可能である。

[0038]

In the above-mentioned Example, it adopted the TFT-liquid-crystal display element as an active-matrix liquid crystal display element. However, this invention is applicable also like the liquid crystal display element which uses MIM etc. as an active element.

【0039】**【発明の効果】**

以上説明したように、この発明によれば、消費電力を抑えて、しかも、フリッカ等の目立たない高品質の画像を表示することができる。

[0039]**[ADVANTAGE OF THE INVENTION]**

As explained above, according to this invention, it restrains power consumption, moreover, it can display inconspicuous high quality images, such as a flicker.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図1】**

この発明の一実施例にかかる液晶表示装置の回路ブロック図である。

[FIG. 1]

It is the circuit block diagram of the liquid crystal display concerning one Example of this invention.

【図2】

走査期間と極性反転制御信号の関係を示すタイミングチャートである。

[FIG. 2]

It is the timing chart in which the relation between a scanning period and a polarity-reversals control signal is shown.

【図3】

列ドライバの構成の一例を示す図である。

[FIG. 3]

It is the figure showing an example of the composition of a row driver.

【図4】

行ドライバの構成の一例を示す図

[FIG. 4]

It is the figure showing an example of the

である。

composition of a line driver.

【図5】

制御回路の構成の一例を示すブロック図である。

[FIG. 5]

It is the block diagram showing an example of the composition of a control circuit.

【図6】

(A)～(K)は図1、図3～図5に示す回路の動作を説明するためのタイミングチャートである。

[FIG. 6]

(A)-(K) is a timing chart for demonstrating action of the circuit shown in FIG. 1, FIG. 3-FIG. 5.

【符号の説明】

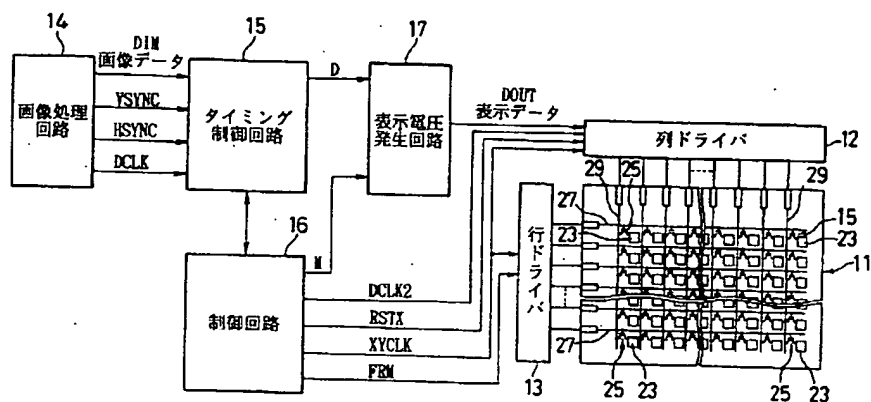
11…液晶表示パネル、12…列ドライバ、13…行ドライバ、14…画像処理回路、15…タイミング制御回路、16…制御回路、17…表示電圧発生回路、23…画素電極、25…TFT(薄膜トランジスタ)、27…ゲートライン、29…データライン、31…マルチプレクサ、32…Xカウンタ、33…デコーダ、34…Yカウンタ、35…Dフリップフロップ、36…フレームカウンタ、37…Mカウンタ、38…トグルフリップフロップ

[DESCRIPTION OF SYMBOLS]

11... Liquid crystal display panel
12... Row driver,
13... Line driver,
14... Picture-processing circuit,
15... Timing control circuit,
16... Control circuit,
17... Display voltage generator circuit,
23... Pixel electrode,
25... TFT (thin-film transistor),
27... Gate line,
29... Data line,
31... Multiplexer,
32... X counter,
33... Decoder,
34... Y counter,
35... D flip flop,
36... Frame counter,
37... M counter,
38... Toggle flip flop

【図1】

[FIG. 1]



[FIG. 1]

12 Row driver

13 Line driver

DOUT display data

14 Picture-processing circuit

DIM image data

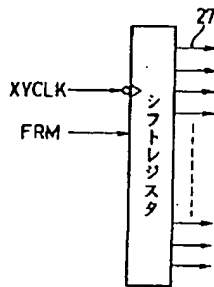
15 Timing control circuit

16 Control circuit

17 Display voltage generator circuit

【図4】

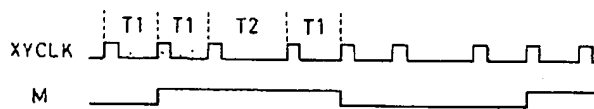
[FIG. 4]



[FIG. 4]
Shift register

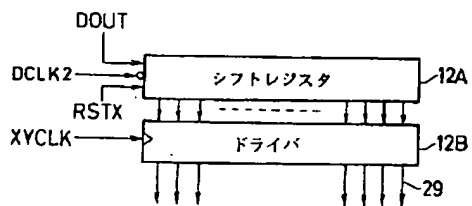
【図2】

[FIG. 2]



【図3】

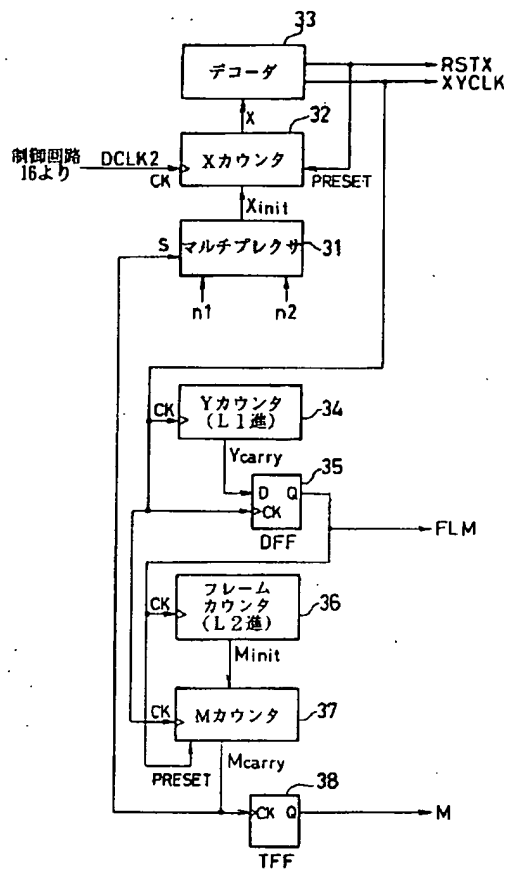
[FIG. 3]



[FIG. 3]
Shift register
Driver

【図5】

[FIG. 5]



[FIG. 5]

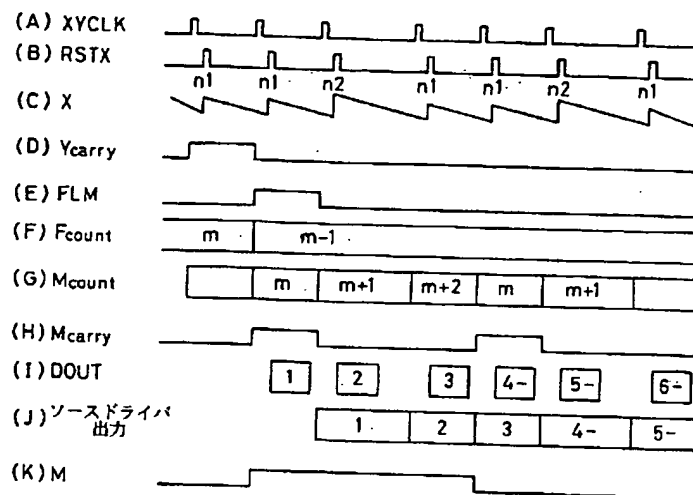
- 31 Multiplexer
- 32 X counters
- 33 Decoder

Control circuit 16

- 34 Y counter (L primary)
- 36 Frame counter (L binary)
- 37 M counter

【図6】

[FIG. 6]



[FIG. 6]

(J) Source driver output

THOMSON DERWENT TERMS AND CONDITIONS

Thomson Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our website:

"THOMSONDERWENT.COM" (English)

"WWW.DERWENT.CO.JP" (Japanese)